

PAT-NO: JP358068131A

DOCUMENT-IDENTIFIER: JP 58068131 A

TITLE: METHOD FOR CONTROLLING CLOCK SUPPLY TO COMPUTER
SYSTEM

PUBN-DATE: April 22, 1983

INVENTOR-INFORMATION:

NAME

TAKEMARU, KOICHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP56165812

APPL-DATE: October 19, 1981

INT-CL (IPC): G06F001/04

ABSTRACT:

PURPOSE: To shorten the clock interruption processing time of each computer system by externally supplying computer systems with a clock frequency-divided according to a control period.

CONSTITUTION: A master clock signal MCLK from a master clock signal generator 2 is supplied to computer systems 1a, 1b, and 1c through clock controllers 4a, 4b, and 4c. The clock controller 4a (4b and 4c) has its RS flip-flop 5 set by a start command signal STRT from an external sequencer 3 and reset by a stop command signal STP to decide on whether the MCLK is supplied to the computer system or not. When the flip-flop 5 is set, the MCLK is frequency- divided by a frequency divider 7, and the resulting signal is

supplied as the control period synchronizing clock to each computer system.
Thus, interruption judgement processing time is shortened.

COPYRIGHT: (C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—68131

⑪ Int. Cl.³
G 06 F 1/04

識別記号

庁内整理番号
7056—5B

⑬ 公開 昭和58年(1983)4月22日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 計算機システムへのクロック供給制御方法

⑯ 特 願 昭56—165812

⑰ 出 願 昭56(1981)10月19日

⑱ 発 明 者 竹丸浩一

東京都千代田区丸の内一丁目5

⑲ 出 願 人

番1号株式会社日立製作所内

株式会社日立製作所

東京都千代田区丸の内1丁目5

番1号

⑳ 代 理 人

弁理士 秋本正実

明 細 書

発明の名称 計算機システムへのクロック供給
制御方法

特許請求の範囲

1. 制御周期が異なる複数の計算機システムに外部より制御周期同期化用のマスタクロック信号を供給する際、マスタクロック信号を制御周期の各各に応じて分周し、制御周期と同一の周期をもつたクロック信号が各計算機システムに供給されるようにしたことを特徴とする計算機システムへのクロック供給制御方法。

発明の詳細な説明

本発明は、制御周期に応じて分周されたクロックを外部から計算機システムに与えることによつて、各計算機システムにおけるクロック割込処理時間を減少せしめるようにした計算機システムへのクロック供給制御方法に関するものである。

一般に制御周期が異なる複数の計算機システムにおける制御周期の同期化は、外部から各計算機システムに同一のクロック信号を与えることによ

つて行なわれる。第1図に示す如くマスタクロック信号発生器2からのマスタクロック信号MCLKを計算機システム1a, 1b, 1cに共通に与えるものである。この場合マスタクロック信号MCLKの周期は各計算機システム1a, 1b, 1cの制御周期のうち最も短いものに同一か、またはそれよりも小として設定されることは勿論である。計算機システム1a, 1b, 1cはマスタクロック信号MCLKに同期した制御開始指令および制御停止指令を外部シーケンサ3より受けてその制御動作が制御されるようになつてゐるわけである。マスタクロック信号MCLKを各計算機システム1a, 1b, 1cに与えることによつて制御周期は周期するところとなるが、このようなクロック信号の供給において問題となるのは各計算機システムが外部からのクロック信号を一種の割込信号として処理するということである。計算機への割込信号は各種存在し、割込信号があつた場合はそれが如何なる種類のものであるかを判断する必要があるが、制御処理実行中にクロック信

号が入力する度にそのような判断を行なうとすれば、限られた時間内に十分な制御処理を行なうことが困難となるものである。

第2図(a)、(b)はマスタクロック信号MCLKと計算機内部で行なわれる処理との関係を示したものである。図示の如く制御周期 T_1 がマスタクロック信号MCLKのその4倍とされた場合のものである。これから判るようにマスタクロック信号MCLKが入力する度に一定の割込判断処理時間（割込判断処理は斜線にて表示） t_1 が要され、本来行なわれるべき制御処理は割込判断処理時間 t_1 以外に一定時間 t_2 、しかも周期的に行なわれるが、実に割込判断処理に $4t_1$ もの時間が要されるというものである。

このような不具合は制御周期が大なる計算機において顕著であるが、割込判断処理が頻度大に行なわれる場合は制御処理時間が少なくなるばかりか、制御処理に遅れが生じるようになり高速度な制御処理が要求される場合には極めて大きな問題となるわけである。

(3)

ば第4図に示す如くである。これによると分周されたマスタクロック信号MCLKが計算機システムに与えられるか否かはRSフリップフロップ5の出力状態によっている。

即ち、RSフリップフロップ5は外部シーケンサ3からのスタート指令信号STRTによつてセット状態におかれ、また、ストップ指令信号STPによつてリセット状態におかれるが、セット状態におかれている間そのセット出力信号がゲート制御信号としてアンドゲート6に作用し、分周器7がアンドゲート6からのマスタクロック信号MCLKを分周するようになつていものである。分周器7における分周率を制御周期に応じ設定する場合は、分周器7より制御周期と同一の周期をもつたクロック信号が得られるわけである。したがつて各計算機システム1a、1b、1cはそれぞれの制御周期内に1回だけクロック信号に起因する割込判断処理を行なえばよいものである。

第5図(a)~(d)は制御周期がマスタクロック信号の周期の4倍とされた計算機システムにおける処

(5)

よつて本発明の目的は、クロック信号に起因する割込判断処理の時間を必要最小限に抑え得る計算機システムへのクロック供給制御方法を供するにある。

この目的のため本発明は、マスタクロック信号をそのまま制御周期が相異なる各計算機システムに与えるのではなく、各制御周期に応じマスタクロック信号を分周し、分周されたマスタクロック信号を制御周期同期用クロック信号として用いるようにしたものである。

以下、本発明を第3図から第5図により説明する。

先ず第3図により本発明に係るマルチ計算機システムを説明する。このシステム構成で第1図に示すものと大きく異なるところはマスタクロック信号発生器2と各計算機システム1a、1b、1cとの間に、計算機システム1a、1b、1c対応にクロックコントローラ4a、4b、4cが設けられたことである。クロックコントローラ4a、4b、4cの構成はほぼ同様であり、例え

(4)

処理と分周されたマスタクロック信号との関係を示したものである。第5図(b)に示すマスタクロック信号に同期して外部シーケンサからは制御準備指令パルス P_1 が出力されるが、これによつて計算機システムは制御準備状態としてのクロック信号待の状態となるものである。この後制御開始指令パルス（スタート指令信号STRTに相当） P_2 が同じくマスタクロック信号に同期して外部シーケンサより出力されると、クロックコントローラにおいては分周率を $1/4$ として分周動作が開始され、制御開始指令パルス P_2 に同期した分周出力パルスが第5図(c)に示す如くに得られた後はマスタクロック信号が4回入力する度に分周出力パルスが得られるようになつていわけである。計算機システムでは第5図(d)に示す如く分周出力パルスが入力する度に割込判断処理（斜線表示）を一定時間 t_1 行なつた後連続的に制御処理を行ない、制御処理が終了した時点で再びクロック信号待の状態になるが、分周出力パルスの周期は制御周期と同一とされていることから、分周出力パ

(6)

ルスに起因する割込判断処理は制御周期当り一回で済まされるものである。このような処理が周期的に繰り返されている間に制御停止指令パルス（ストップ指令信号STPに相当）P₁が外部シーケンサより出力されれば、クロックコントローラにおける分周動作は停止されその制御周期における制御処理が終了した以後は何等制御処理は行なわれなくなり、外部シーケンサより準備解除指令パルスP₂が出力されるまでは一旦クロック信号待の状態におかれるようになっている。

以上説明したように本発明は、各計算機システムの制御周期に応じて同一マスタクロック信号を分周し、分周されたマスタクロック信号を制御周期同期用クロック信号として計算機システムに与えるようにしたものである。したがって、本発明による場合は、各計算機システムではクロック信号に起因する割込判断処理は1制御周期当り1回で済まされ、その処理時間を必要最小限に抑え得るという効果がある。

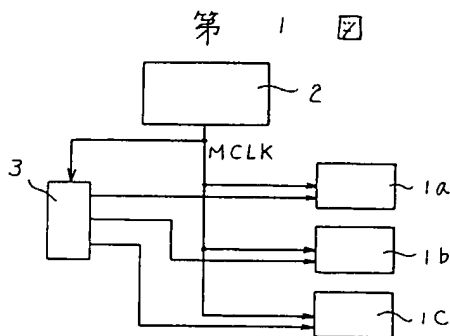
図面の簡単な説明

第1図は、従来方法に係る計算機システムのシステム構成図、第2図(a)、(b)は、そのシステム構成におけるマスタクロック信号と計算機内部で行なわれる処理との関係を示す図、第3図は、本発明に係る計算機システムのシステム構成図、第4図は、そのシステム構成における要部としてのクロックコントローラの一例での構成を示す図、第5図(a)~(d)は、分周されたマスタクロック信号と計算機内部で行なわれる処理との一例での関係を示す図である。

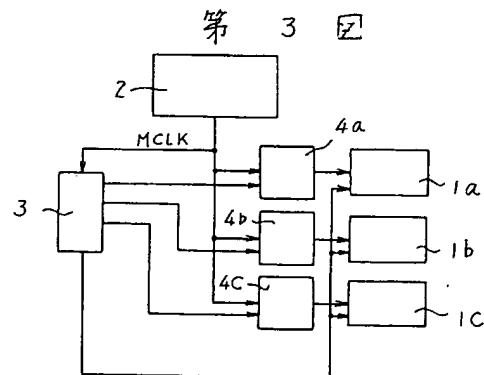
1 (1a~1c) …計算機システム、2…マスタクロック信号発生器、4 (4a~4b) …クロックコントローラ、7…分周器。

代理人 弁理士 秋本正英

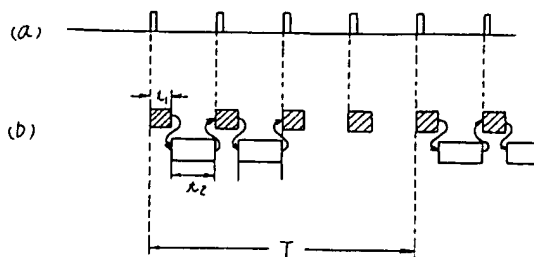
(7)



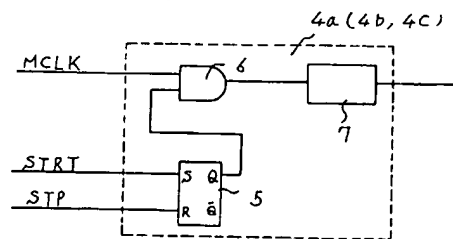
(8)



第 2 図



第 4 図



第 5 図

